

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-013643

(43)Date of publication of application : 21.01.1994

(51)Int.Cl.

H01L 31/10  
H01L 21/76  
H01L 27/146

(21)Application number : 04-167545

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.06.1992

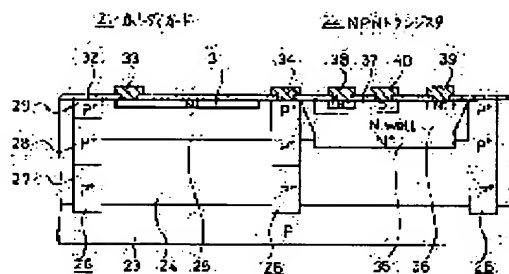
(72)Inventor : MITA KEIJI

## (54) OPTICAL SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To unify a high speed photodiode and an N-P-N transistor.

CONSTITUTION: A non-doped first epitaxial layer 24 of high resistivity is formed on a P-type substrate 23 and a non-doped second epitaxial layer 25 of high resistivity is formed on the layer 24. N-type impurities are diffused into the surface of the second epitaxial layer 25 to form the collector region 36 of a N-P-N transistor 22. The N<sup>+</sup>-type cathode region 31 of a photodiode 21 is formed in the surface of the second epitaxial layer 25 by emitter diffusion.



## LEGAL STATUS

[Date of request for examination] 22.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2793085

[Date of registration] 19.06.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The 1st epitaxial layer of one conductivity type which has the high specific resistance of at least 200 or more ohm-cm formed on the semi-conductor substrate of one conductivity type, and said substrate, The 2nd epitaxial layer of one conductivity type which has the high specific resistance of at least 200 or more ohm-cm formed on said 1st epitaxial layer, The isolation region of one conductivity type which reaches said substrate from the front face of said 2nd epitaxial layer, Two or more island fields separated in said isolation region, and the embedding layer of the reverse conductivity type embedded on the boundary of the 1st and the 2nd epitaxial layer of said island field, The collector field of the reverse conductivity type formed in the front face of the 2nd epitaxial layer of said island field, The optical semiconductor device characterized by providing the base region of one conductivity type formed in the front face of said collector field, the emitter region of the reverse conductivity type formed in the front face of said base region, and the cathode field of the reverse conductivity type of photo diode formed in the front face of another island field.

[Claim 2] The process which forms the 1st epitaxial layer with a non dope on a 1 conductivity-type semi-conductor substrate, The process which forms the 2nd epitaxial layer with a non dope on said 1st epitaxial layer, The process which forms the collector field of the reverse conductivity type of a bipolar transistor in the front face of said 2nd epitaxial layer, The process which forms the base region of one conductivity type of a bipolar transistor in the front face of said collector field, The manufacture approach of the optical semiconductor device characterized by providing the process which forms the emitter region of the reverse conductivity type of a bipolar transistor in the front face of said base region, and forms the cathode field of photo diode in the front face of said 2nd epitaxial layer at coincidence.

[Claim 3] Said semi-conductor substrate is the manufacture approach of the optical semiconductor device according to claim 2 characterized by specific resistance being 40 - 60 ohm-cm.

[Claim 4] The optical semiconductor device according to claim 1 characterized by introducing into the substrate front face of said photo diode section the impurity of the reverse conductivity type which offsets the impurity of said substrate.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the optical semiconductor device which unified photo diode and a bipolar IC.

[0002]

[Description of the Prior Art] Unlike what made the photo detector and the circuit element separately and hybrid-IC-ized them, the optical semiconductor device which unified the photo detector and the circumference circuit and was formed in the monolithic can expect a cost cut, and has the merit of being strong, to the noise by external electromagnetic field.

[0003] As conventional structure of such an optical semiconductor device, what was indicated by JP,1-205564,A is well-known. This is shown in drawing 9 . this drawing -- setting -- (1) -- the semi-conductor substrate of P type, and (2) -- for P+ mold isolation region and (5), as for N+ mold embedding layer and (7), N+ mold diffusion field and (6) are [ the epitaxial layer of P type, and (3) / the epitaxial layer of N type, and (4) / a P type base region and (8) ] N+ mold emitter regions. Photo diode (9) is formed by the PN junction of a P type epitaxial layer (2) and an N type epitaxial layer (3), and N+ mold diffusion field (5) is made into cathode drawing, and it makes an isolation region (4) anode drawing. An NPN transistor (10) is embedded on the boundary of a P type epitaxial layer (2) and an N type epitaxial layer (3), prepares a layer (6), and uses an N type epitaxial layer (3) as a collector. And drift potential is formed by the auto dope layer (11) from a substrate (1), and migration of the carrier generated in the field of a deep part from the depletion layer is made easy.

[0004]

[Problem(s) to be Solved by the Invention] However, it is desirable to expand the width of face of a depletion layer in respect of the high-speed responsibility of photo diode (9), and to control a generation-depletion layer outside generation of carriers. With the structure of drawing 10 , since a depletion layer was not able to spread easily since an N type epitaxial layer (3) is the high impurity concentration desired as a collector of an NPN transistor (10), and a P type epitaxial layer (2) had an auto dope layer (11) by the thermal diffusion of the boron (B) from a substrate (1), there was a fault even with a substrate (1) difficult to extend a depletion layer.

[0005] Since it would be polluted as a still manufacture-problem with the acceptor impurity which the inside of equipment supplied if it is going to form a P type epitaxial layer (2), with the equipment for N type epitaxial, it had to dissociate and there was a fault with difficult common-use-izing of Rhine with other bipolar ICs.

[0006]

[Means for Solving the Problem] The 1st and the 2nd epitaxial layer (24) of high specific resistance, and (25) which accomplished this invention in view of the conventional fault mentioned above, and were formed on the substrate (23), The isolation region which separates the 1st, the 2nd epitaxial layer (24), and (25) (26), The collector field of the N type formed in the front face of the 2nd epitaxial layer (25) (36), The base region (37) and emitter region (38) which constitute an NPN transistor (21), The optical semiconductor device which made an NPN transistor (22) and high-speed photo diode (21) live together is offered by providing N+ cathode

field (31) of the photo diode (21) formed in the front face of the 2nd epitaxial layer (25).

[0007] Moreover, as a process-description, it makes to form the 1st, the 2nd epitaxial layer (24), and (25) with a non dope into a main point.

[0008]

[Function] According to this invention, since both the 1st, the 2nd epitaxial layer (24), and (25) were used as the high specific resistance layer, a depletion layer with thick extent equal to the sum of both thickness can be obtained. Moreover, by forming with a non dope, a controllability is good for stability, there is also no contamination of equipment, and a high specific resistance layer can be carried out.

[0009]

[Example] One example of this invention is explained below at a detail, referring to a drawing. Drawing 1 is the sectional view of IC incorporating photo diode (21) and an NPN transistor (22). In this drawing, the 1st epitaxial layer of with a thickness [ 15-20micro ] which formed (23) on the substrate (23) with the single-crystal-silicon semi-conductor substrate of P type, and formed (24) by vapor growth P type, and (25) are the 2nd epitaxial layer of with a thickness [ 4-6micro ] formed by vapor growth on the 1st epitaxial layer (24) P type. It is at the completion time after a substrate (23) gives heat treatment for forming 1000 - 1500 ohm-cm and a diffusion field in the time of a laminating by carrying out the laminating of the 1st epitaxial layer (24) with a non dope using the thing of the specific resistance of 40 - 60 ohm-cm with high impurity concentration lower than the thing (2 - 4 ohm-cm) of a common bipolar IC, and has the specific resistance of 200 - 1500 ohm-cm. The 2nd epitaxial layer (25) is similarly at the completion time, and has the specific resistance of 200 - 1500 ohm-cm. The specific resistance of the epitaxial layer used with the usual bipolar IC is 1.0 - 2.0 ohm-cm.

[0010] The 1st, the 2nd epitaxial layer (24), and (25) are electrically divided into a photo diode (21) formation part and an NPN transistor (22) formation part by P+ mold isolation region (26) which penetrates both completely. The 1st isolation region which diffused this isolation region (26) in the vertical direction from the substrate (23) front face (27), The 2nd isolation region diffused in the vertical direction from the boundary of the 1st, the 2nd epitaxial layer (24), and (25) (28), It consists of the 3rd isolation region (29) formed from the 2nd epitaxial layer (25) front face, and the 1st, the 2nd epitaxial layer (24), and (25) are divided into an island-like field because three persons connect.

[0011] N+ mold diffusion field (31) used as cathode drawing of photo diode (21) is formed in the 2nd epitaxial layer (25) front face of the photo diode (21) section all over abbreviation. The front face of the 2nd epitaxial layer (25) is covered with an oxide film (32), and a cathode electrode (33) contacts N+ mold diffusion field (31) through the contact hole which punctured the oxide film (32) partially. Moreover, an anode electrode (34) contacts on the surface of an isolation region (26) considering an isolation region (26) as an anode side low resistance ejection field of photo diode (21).

[0012] The embedding layer (35) of N+ mold is embedded in the boundary section of the 1st and the 2nd epitaxial layer (24) of the NPN transistor (22) section, and (25). It is formed in the upper embedding layer (35) 2nd epitaxial layer (25) front face so that the collector field (36) of the N type which increases and serves as a collector of an NPN transistor (22) may embed the specific resistance of the 2nd epitaxial layer (25) and it may be connected with a layer (35). The base region (37) of the P type of an NPN transistor (22), the emitter region (38) of N+ mold, and the collector KONTATO field (39) of N+ mold are formed in the front face of a collector field (36). When aluminum electrode (40) contacts on each diffusion field and aluminum wiring which extends an oxide-film (32) top and which is not illustrated connects each component, an NPN transistor (22) constitutes [ photo diode (21) ] a digital disposal circuit for the lightwave signal input section with other components.

[0013] The photo diode (21) in \*\*\*\* structure is operated in the state of the reverse bias to which the Vcc potential like +5V was impressed to the cathode electrode (33), and it impressed GND potential to the anode electrode (34). Since the 1st, the 2nd epitaxial layer (24), and (25) were used as the P type quantity specific resistance layer In the 1st, and the 2nd epitaxial layer (24) and (25), if the above-mentioned reverse bias is given, a depletion layer will spread greatly

from N+ cathode field (31) and a plane of composition with the 2nd epitaxial layer (25). The thickness reaches the thickness (20–30μm) of extent equal to the sum of the thickness of the 1st, the 2nd epitaxial layer (24), and (25).

[0014] If the optical incidence like the wavelength of 800nm is in the photo diode (21) section, incident light will be attained from a silicon front face to a depth of 20μm or more. An optical generation carrier is generated by this incident light, and it becomes a photocurrent by migration of a carrier. Said optical generation generation of carriers is divided roughly into the generation carrier in a depletion layer generated within a depletion layer, and the generation–depletion layer outside carrier generated out of a depletion layer. The generation carrier in a depletion layer is movable in an instant, when electric field lengthen, but a response becomes blunt in order that migration may twist a generation–depletion layer outside carrier to diffusion. Since incident light is received by the thick depletion layer which spreads in the 1st, and the 2nd epitaxial layer (24) and (25) of the whole according to the configuration of this application, the most can be changed into the generation carrier in a depletion layer, and the high-speed response of photo diode (21) is enabled. In addition, since N+ cathode field (31) was formed in the shallow (0.3–1.0μm) field by emitter diffusion by high concentration; there are few amounts of generation–depletion layer outside generation of carriers in a cathode field (31). And since it is high concentration, the optical generation carrier generated in the cathode field (31) can be \*\*\*\*\*ed, or can be extremely given to a cathode electrode (31) in a short time. Therefore, the delay current by spreading diffusion is very small.

[0015] Furthermore, since P+ isolation region (26) is made into anode drawing and diffusion formation of the isolation region (26) is carried out even at the substrate (23) deep part, anode drawing resistance is small. Since one NPN transistor (22) can be set as the high impurity concentration which was suitable for the collector with the collector field (36) formed in the 2nd epitaxial layer (25), it can satisfy transistor characteristics. And since it will end if N type reversal of the 2nd epitaxial layer (25) is carried out by using two-step epitaxial, diffusion heat treatment time amount does not need to become extremely long.

[0016] Therefore, according to this invention structure, unification coexistence of high-speed photo diode (21) and a high-speed NPN transistor (22) can be carried out. The structure of drawing 1 can be manufactured according to the following processes. With reference to drawing 2 (a), specific resistance prepares the P type silicon single crystal substrate (23) of 40 – 60 ohm-cm. When carrying out another example mentioned later, the ion implantation of Lynn (P) is carried out to the whole surface or a selection target in this phase.

[0017] With reference to drawing 2 (b), a substrate (23) front face is oxidized thermally, an oxide film is formed, and photoetching of this oxide film is carried out. Selective diffusion of the boron (B) for forming the 1st isolation region (27) of an isolation region (26) by using as a mask the oxide film which carried out photoetching is carried out. After removing said oxide film and carrying out clarification of the substrate (23) front face with reference to drawing 3 (a), the 1st epitaxial layer (24) is formed on a substrate (23). The 1st epitaxial layer (24) is formed in thickness (15–20μm) with a non dope by installing a substrate (23) on the susceptor of equipment, heating a substrate (23) at about 1140 degrees C, and carrying out constant-flow installation of SiH<sub>2</sub>Cl<sub>2</sub> gas and the H<sub>2</sub> gas by the lamp or high-frequency heating, within a reaction. If non dope growth of the epitaxial layer is carried out, in process [ the ] and an epitaxial layer receive supply of the boron (B) which dispersed in the ambient atmosphere from the rear face of a substrate (23), and the 1st isolation region (27) or a wafer, and while a silicon atom and a boron atom join together, they will grow. Consequently, an epitaxial layer turns into a P type layer very near Inn Tori Thicke, and N type reversal must hardly have been carried out. Electrical characteristics are completely P type. Specific resistance serves as 200 – 1500 ohm-cm, when all processes are completed.

[0018] The antimony which oxidizes thermally the 1st epitaxial layer (24) front face, forms an oxide film with reference to drawing 3 (b), carries out patterning of this oxide film, forms a selection mask, and forms N+ mold embedding layer (35) of an NPN transistor (22) is diffused. The 1st isolation region (27) is diffused for a while in this heat treatment. With reference to drawing 4 , a selection mask is changed and the boron (B) which forms the 2nd isolation region

(28) of an isolation region (26) is diffused. And heat treatment is given to the whole substrate (23), performing oxide-film attachment, and both are connected by diffusing the 1st, the 2nd isolation region (27), and (28). The 1st isolation region (27) diffuses 8–10micro, and the 6–8micro (28) of the 2nd isolation region at this process.

[0019] After removing completely the oxide film used for selective diffusion with reference to drawing 5, the 2nd epitaxial layer (25) of a non dope is again formed on the 1st epitaxial layer (24) at thickness (4–6micro). With reference to drawing 6, the front face of the 2nd epitaxial layer (25) is oxidized thermally, an oxide film is formed, the ion implantation of Lynn (P) is alternatively carried out with a resist mask from on an oxide film, and the collector field (36) of an NPN transistor (22) is formed. This ion implantation is performed with dose  $5 \times 10^{12} \text{cm}^{-2}$  and acceleration voltage 80keV extent.

[0020] With reference to drawing 7, said collector field (36) is diffused in the depth (3–5micro) by adding 1100–1200 degrees C and heat treatment of 2 – 3 hours to the whole substrate (23). Diffusing the 1st, the 2nd isolation region (27), and (28) in the vertical direction at this process, respectively, a collector field (36) reaches N+ embedding layer (35). With reference to drawing 8, patterning of the oxide film on the 2nd front face of an epitaxial layer (25) is carried out, a selection mask is formed, and the 3rd isolation region (29) is formed in the depth (2–3micro) by carrying out thermal diffusion of the boron (B). The 1st – the 3rd isolation region (27), (28), and (29) connect at this process, an isolation region (26) is formed, and the 1st, the 2nd epitaxial layer (24), and (25) are electrically separated in the shape of an island.

[0021] With reference to drawing 9, the ion implantation of the boron (B) is alternatively carried out from the front face of the 2nd epitaxial layer (25). And thermal diffusion of the boron which carried out the ion implantation is carried out, and the base region (37) of an NPN transistor (22) is formed. Then, thermal diffusion of Lynn (P) is alternatively carried out to the front face of the 2nd epitaxial layer (25), and coincidence formation of N+ mold emitter region (38) of an NPN transistor (22), a collector contact field (39), and the N+ mold cathode field (31) of photo diode (21) is carried out. Then, the structure of drawing 1 is acquired by forming aluminum electrode on each field by deposition and patterning of aluminum.

[0022] According to the manufacture approach of this invention, the P type layer of high specific resistance can be easily obtained by forming with a non dope above. And since it can carry out only by suspending supply of an impurity using the equipment for N type epitaxial used with the usual bipolar IC, control of specific resistance is easy and does not pollute the interior of equipment with a P type impurity. Also in the structure of this application, and the manufacture approach, it is possible that the boron (B) of a substrate (23) forms the P type layer (auto dope layer) which is upwards and suppresses expansion of a riser depletion layer by thermal diffusion like the conventional example. However, since the direction which a P type layer superimposes on a non dope layer does not need to become high rather than a P type layer is overlapped on a P type layer, as for control of a depletion layer, high impurity concentration becomes small. Since high impurity concentration is small when the substrate of comparatively low high impurity concentration of 40 – 60 ohm-cm (23) is used as a substrate (23), the above can make still smaller the amount which has been and can expand the high specific resistance field which a depletion layer expands to near the substrate (23) front face. Increase of the anode ejection resistance by having made the substrate (23) into high specific resistance and having controlled formation of an auto dope layer has avoided this by forming P+ isolation region (26) so that a substrate (23) may be reached.

[0023] If the ion implantation of the N type impurity for making the substrate (23) front face under photo diode (21) offset the high impurity concentration of a substrate (23) is carried out as other examples, since a substrate (23) front face will also serve as a high specific resistance layer, the width of face of a depletion layer is further expandable. The ion implantation of this impurity may be alternatively carried out to the photo diode (21) section, or it may be introduced all over a substrate (23). However, since P+ isolation region (26) is made into anode drawing of photo diode (21), in order to avoid increase of drawing resistance, the diffusion depth of said impurity must not exceed the diffusion depth of the 1st isolation region (27) of an isolation region (26). The ion implantation of about one to  $5 \times 10^{11}$  Lynn (P) is carried out, and the high

impurity concentration on the front face of a substrate (23) is increased from 40 – 60 ohm-cm to 200 or more ohm-cm by being spread in each heat treatment, and, specifically, it is formed in the depth the field of whose is 2-10micro. In addition, the diffusion depth of the 1st isolation region (27) is 7-15micro. Moreover, since an offset impurity is diffused also to the 1st epitaxial layer (24) side, upwards, it has the effectiveness which offsets the P type layer which has been from a substrate (23).

[0024]

[Effect of the Invention] Since according to this invention a very thick depletion layer is obtained and an NPN transistor (21) increases high impurity concentration by forming an N type collector field (36) by carrying out the laminating of the 1st and the 2nd epitaxial layer (24) of high specific resistance, and (25) as explained above, it has the advantage which can live high-speed photo diode (21) and a high-speed NPN transistor (22) together.

[0025] And it has the advantage that the P type layer of high specific resistance is obtained simply, by forming the 1st, the 2nd epitaxial layer (24), and (25) with a non dope. Since there is no need of carrying out N type reversal of the P type layer by the auto dope from a substrate (23) etc. further, compared with the case where the N type layer of high specific resistance is formed especially, it is clear that the controllability of high impurity concentration is simple. Moreover, since it can carry out only by suspending supply of impurity gas using the manufacturing installation for N type EPI shaping, operation is simple and does not pollute equipment with a P type impurity.

[0026] Furthermore, by using the substrate of comparatively high specific resistance of 40 – 60 ohm-cm (23) as a substrate (23), formation of the P type layer by the auto dope can be controlled, and it has the advantage which can leave a high specific resistance layer thickly. Furthermore, formation of the above-mentioned P type layer can be further controlled by carrying out the ion implantation of the offset impurity to the substrate (23) front face, and also it has the advantage which can also form the substrate (23) surface section in the high specific resistance layer in which a depletion layer spreads.

---

[Translation done.]



\* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining the optical semiconductor device of this invention.

[Drawing 2] It is the 1st drawing explaining the manufacture approach of drawing 1 .

[Drawing 3] It is the 2nd drawing explaining the manufacture approach of drawing 1 .

[Drawing 4] It is the 3rd drawing explaining the manufacture approach of drawing 1 .

[Drawing 5] It is the 4th drawing explaining the manufacture approach of drawing 1 .

[Drawing 6] It is the 5th drawing explaining the manufacture approach of drawing 1 .

[Drawing 7] It is the 6th drawing explaining the manufacture approach of drawing 1 .

[Drawing 8] It is the 7th drawing explaining the manufacture approach of drawing 1 .

[Drawing 9] It is the 8th drawing explaining the manufacture approach of drawing 1 .

[Drawing 10] It is the sectional view showing the conventional example.

---

[Translation done.]

## \* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

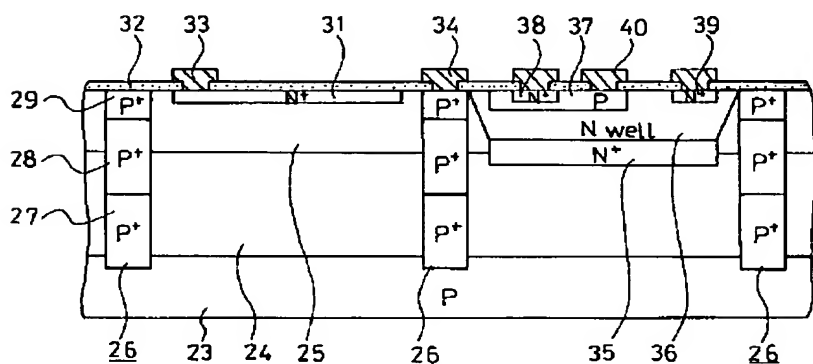
3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

21 ホトダイオード

22 NPNトランジスタ



24: 第1のエピタキシャル層

25: 第2のエピタキシャル層

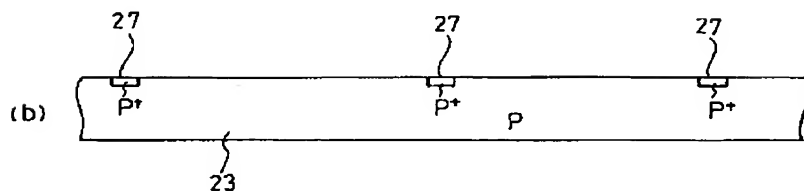
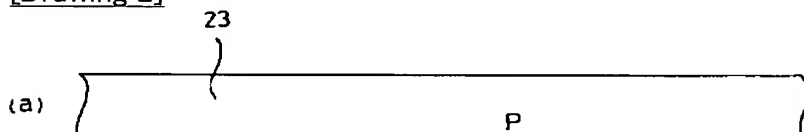
31: カソード領域

36: コレクタ領域

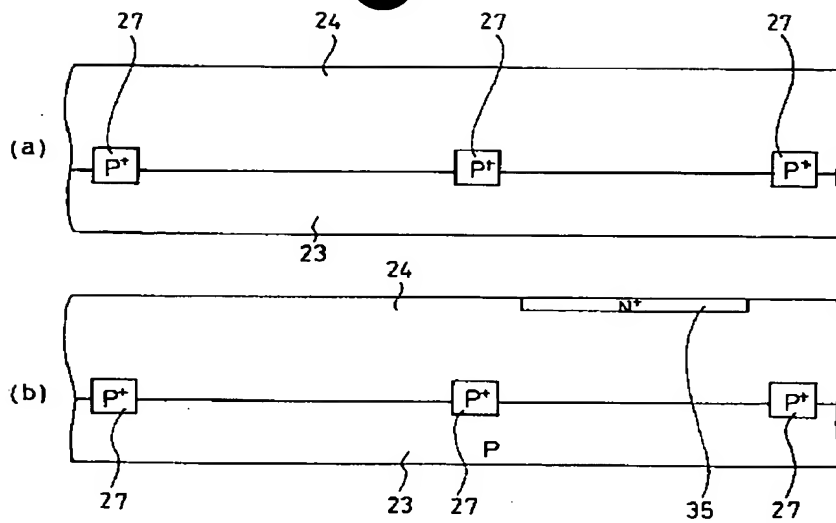
37: ベース領域

38: エミッタ領域

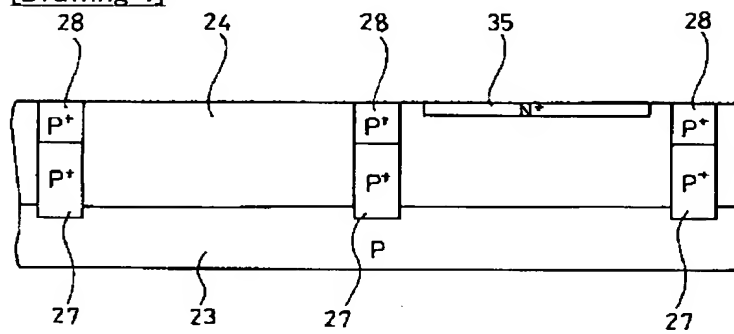
[Drawing 2]



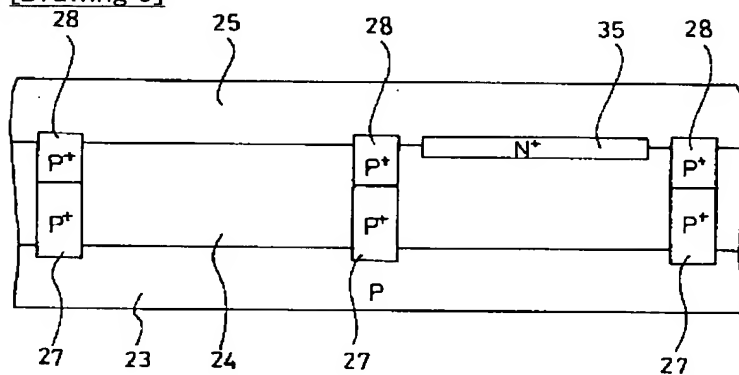
[Drawing 3]



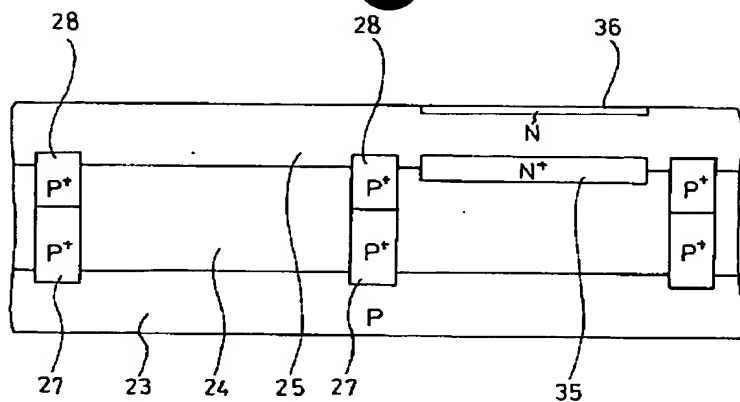
[Drawing 4]



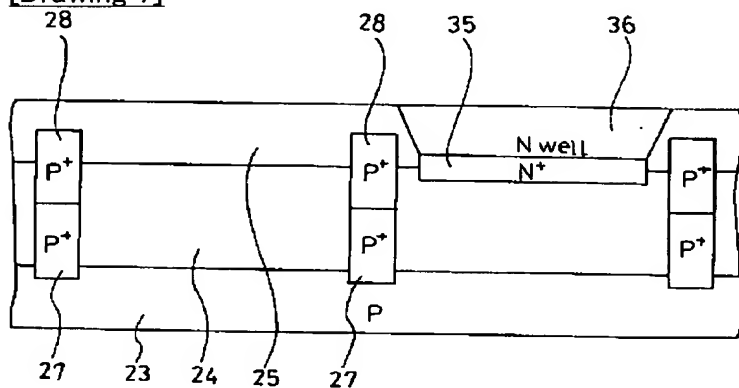
[Drawing 5]



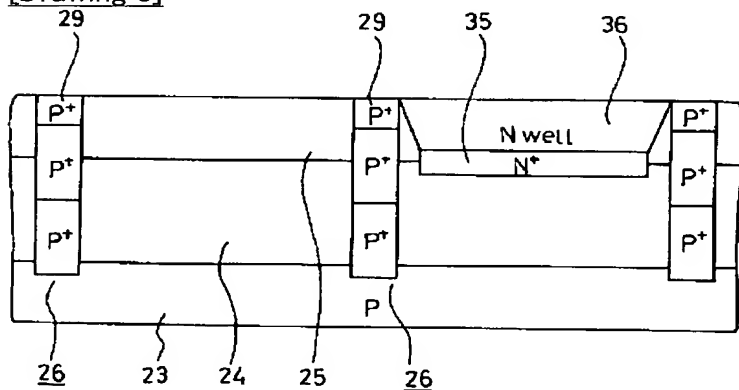
[Drawing 6]



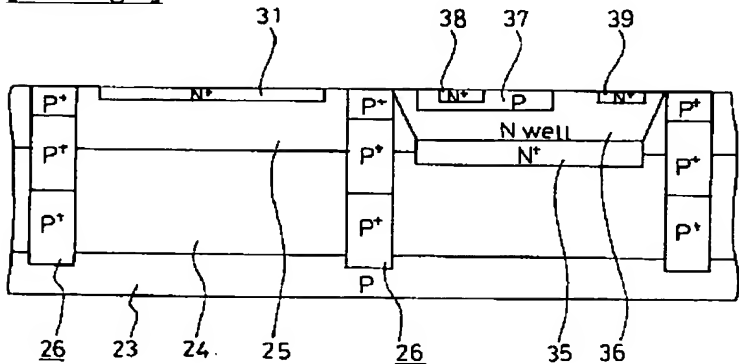
[Drawing 7]



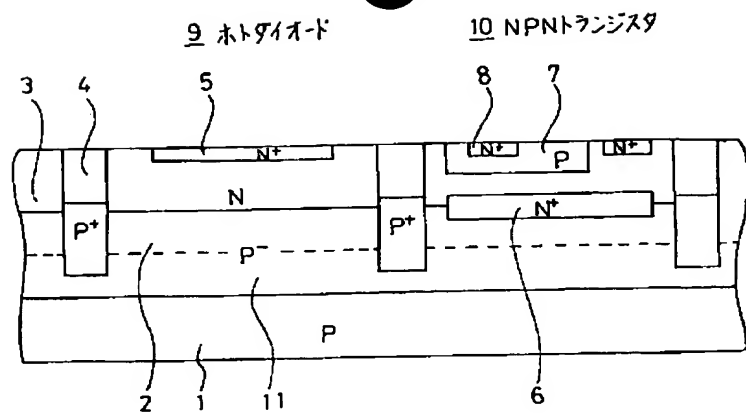
[Drawing 8]



[Drawing 9]



[Drawing 10]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-13643

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/10

21/76

27/146

J 9169-4M

8422-4M

7210-4M

H 0 1 L 31/ 10

27/ 14

A

A

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号

特願平4-167545

(22)出願日

平成4年(1992)6月25日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 三田 恵司

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

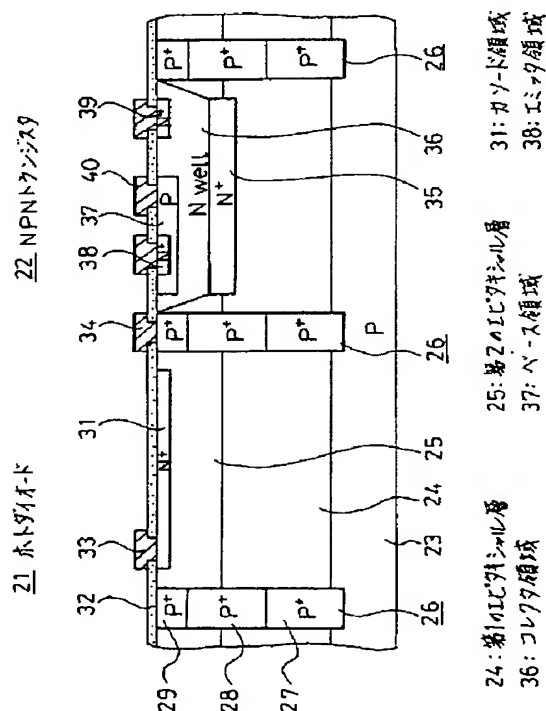
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 光半導体装置とその製造方法

(57)【要約】

【目的】 高速ホトダイオードとNPNトランジスタとを一体化共存する。

【構成】 P型基板(23)の上に高比抵抗の第1のエピタキシャル層(24)をノンドープで形成し、その上に高比抵抗の第2のエピタキシャル層(25)をノンドープで形成する。第2のエピタキシャル層(25)の表面にN型不純物を拡散してNPNトランジスタ(22)のコレクタ領域(36)とする。エミッタ拡散で第2のエピタキシャル層(25)表面にN<sup>+</sup>カソード領域(31)を形成してホトダイオード(21)とする。



1

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、

前記基板の上に形成した少くとも $200\Omega \cdot \text{cm}$ 以上の高比抵抗を有する一導電型の第1のエピタキシャル層と、

前記第1のエピタキシャル層の上に形成した少くとも $200\Omega \cdot \text{cm}$ 以上の高比抵抗を有する一導電型の第2のエピタキシャル層と、

前記第2のエピタキシャル層の表面から前記基板に達する一導電型の分離領域と、

前記分離領域で分離された複数の島領域と、

前記島領域の第1と第2のエピタキシャル層の境界に埋め込んだ逆導電型の埋め込み層と、

前記島領域の第2のエピタキシャル層の表面に形成した逆導電型のコレクタ領域と、

前記コレクタ領域の表面に形成した一導電型のベース領域と、

前記ベース領域の表面に形成した逆導電型のエミッタ領域と、

別の島領域の表面に形成した、ホトダイオードの逆導電型のカソード領域とを具備することを特徴とする光半導体装置。

【請求項2】 一導電型半導体基板の上に第1のエピタキシャル層をノンドープで形成する工程と、

前記第1のエピタキシャル層の上に第2のエピタキシャル層をノンドープで形成する工程と、

前記第2のエピタキシャル層の表面にバイポーラトランジスタの逆導電型のコレクタ領域を形成する工程と、

前記コレクタ領域の表面にバイポーラトランジスタの一導電型のベース領域を形成する工程と、

前記ベース領域の表面にバイポーラトランジスタの逆導電型のエミッタ領域を形成し、同時に前記第2のエピタキシャル層の表面にホトダイオードのカソード領域を形成する工程とを具備することを特徴とする光半導体装置の製造方法。

【請求項3】 前記半導体基板は比抵抗が $40 \sim 60\Omega \cdot \text{cm}$ であることを特徴とする請求項2記載の光半導体装置の製造方法。

【請求項4】 前記ホトダイオード部の基板表面に前記基板の不純物を相殺する逆導電型の不純物を導入したことを特徴とする請求項1記載の光半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はホトダイオードとバイポーラICとを一体化した光半導体装置に関する。

【0002】

【従来の技術】 受光素子と周辺回路とを一体化してモノリシックに形成した光半導体装置は、受光素子と回路素子とを別個に作ってハイブリッドIC化したものと異なり、コストダウンが期待でき、また、外部電磁界による

2

雑音に対して強いというメリットを持つ。

【0003】 このような光半導体装置の従来の構造として、例えば特開平1-205564号公報に記載されたものが公知である。これを図9に示す。同図において、

(1)はP型の半導体基板、(2)はP型のエピタキシャル層、(3)はN型のエピタキシャル層、(4)はP<sup>+</sup>型分離領域、(5)はN<sup>+</sup>型拡散領域、(6)はN<sup>+</sup>型埋め込み層、(7)はP型ベース領域、(8)はN<sup>+</sup>型エミッタ領域である。ホトダイオード(9)はP型エピタキシャル層(2)とN型エピタキシャル層(3)とのPN接合で形成し、N<sup>+</sup>型拡散領域(5)をカソード取出し、分離領域(4)をアノード取出しとしたものである。NPNトランジスタ(10)はP型エピタキシャル層(2)とN型エピタキシャル層(3)との境界に埋め込み層(6)を設け、N型エピタキシャル層(3)をコレクタとしたものである。そして、基板(1)からのオートドープ層(11)によって加速電界を形成し、空乏層より深部の領域で発生したキャリアの移動を容易にしたものである。

【0004】

【発明が解決しようとする課題】 しかしながら、ホトダイオード(9)の高速応答性という点では空乏層の幅を広げて空乏層外生成キャリアの発生を抑制することが望ましい。図10の構造ではN型エピタキシャル層(3)がNPNトランジスタ(10)のコレクタとして望まれる不純物濃度であるため空乏層が拡がりやすく、またP型エピタキシャル層(2)は基板(1)からのボロン

(B)の熱拡散によるオートドープ層(11)があるために基板(1)まで空乏層を拡げることが困難である欠点があった。

【0005】 さらに製造的な問題として、P型エピタキシャル層(2)を形成しようとする装置内が供給したアクセプタ不純物によって汚染されるため、N型エピタキシャル用の装置とは分離しなければならず、他のバイポーラICとのラインの共用化が困難である欠点があった。

【0006】

【課題を解決するための手段】 本発明は上述した従来の欠点に鑑み成されたもので、基板(23)上に形成した高比抵抗の第1と第2のエピタキシャル層(24)(25)と、第1と第2のエピタキシャル層(24)(25)を分離する分離領域(26)と、第2のエピタキシャル層(25)の表面に形成したN型のコレクタ領域(36)と、NPNトランジスタ(21)を構成するベース領域(37)とエミッタ領域(38)と、第2のエピタキシャル層(25)の表面に形成したホトダイオード(21)のN<sup>+</sup>カソード領域(31)と、を具備することによりNPNトランジスタ(22)と高速ホトダイオード(21)とを共存させた光半導体装置を提供するものである。

【0007】また製法的な特徴として、第1と第2のエピタキシャル層(24)(25)をノンドープで形成することを骨子とするものである。

#### 【0008】

【作用】本発明によれば、第1と第2のエピタキシャル層(24)(25)を共に高比抵抗層としたので、両者の厚みの和に等しい程度の厚い空乏層を得ることができる。また、ノンドープで形成することにより、高比抵抗層を安定に制御性良く、装置の汚染も無く実施できるものである。

#### 【0009】

【実施例】以下に本発明の一実施例を図面を参照しながら詳細に説明する。図1はホトダイオード(21)とNPNトランジスタ(22)とを組み込んだICの断面図である。同図において、(23)はP型の単結晶シリコン半導体基板、(24)は基板(23)上に気相成長法により形成した厚さ15~20 $\mu$ のP型の第1のエピタキシャル層、(25)は第1のエピタキシャル層(24)上に気相成長法により形成した厚さ4~6 $\mu$ のP型の第2のエピタキシャル層である。基板(23)は一般的なバイポーラICのもの(2~4 $\Omega \cdot \text{cm}$ )より不純物濃度が低い40~60 $\Omega \cdot \text{cm}$ の比抵抗のものを用い、第1のエピタキシャル層(24)はノンドープで積層することにより、積層時で1000~1500 $\Omega \cdot \text{cm}$ 、拡散領域を形成するための熱処理を与えた後の完成時で200~1500 $\Omega \cdot \text{cm}$ の比抵抗を有する。第2のエピタキシャル層(25)も同様に完成時で200~1500 $\Omega \cdot \text{cm}$ の比抵抗を有する。通常のバイポーラICで用いるエピタキシャル層の比抵抗は1.0~2.0 $\Omega \cdot \text{cm}$ である。

【0010】第1と第2のエピタキシャル層(24)(25)は、両者を完全に貫通するP<sup>+</sup>型分離領域(26)によってホトダイオード(21)形成部分とNPNトランジスタ(22)形成部分とに電氣的に分離される。この分離領域(26)は、基板(23)表面から上下方向に拡散した第1の分離領域(27)と、第1と第2のエピタキシャル層(24)(25)の境界から上下方向に拡散した第2の分離領域(28)と、第2のエピタキシャル層(25)表面から形成した第3の分離領域(29)から成り、3者が連結することで第1と第2のエピタキシャル層(24)(25)を島状の領域に分離する。

【0011】ホトダイオード(21)部の第2のエピタキシャル層(25)表面には、ホトダイオード(21)のカソード取出しとなるN<sup>+</sup>型拡散領域(31)を略全面に形成する。第2のエピタキシャル層(25)の表面は酸化膜(32)で覆われ、酸化膜(32)を部分的に開孔したコンタクトホールを介してカソード電極(33)がN<sup>+</sup>型拡散領域(31)にコンタクトする。また、分離領域(26)をホトダイオード(21)のアノ

ード側低抵抗取り出し領域として、アノード電極(34)が分離領域(26)の表面にコンタクトする。

【0012】NPNトランジスタ(22)部の第1と第2のエピタキシャル層(24)(25)の境界部には、N<sup>+</sup>型の埋め込み層(35)が埋め込まれている。埋め込み層(35)上方の第2のエピタキシャル層(25)表面には、第2のエピタキシャル層(25)の比抵抗を増大しNPNトランジスタ(22)のコレクタとなるN型のコレクタ領域(36)が埋め込み層(35)と連結するように形成されている。コレクタ領域(36)の表面にはNPNトランジスタ(22)のP型のベース領域(37)、N<sup>+</sup>型のエミッタ領域(38)、およびN<sup>+</sup>型のコレクタコンタクト領域(39)を形成する。各拡散領域上にはA1電極(40)がコンタクトし、酸化膜(32)上を延在する図示せぬA1配線が各素子を連結することにより、ホトダイオード(21)が光信号入力部を、NPNトランジスタ(22)が他の素子と共に信号処理回路を構成する。

【0013】斯る構造におけるホトダイオード(21)は、カソード電極(33)に+5Vの如きV<sub>cc</sub>電位を、アノード電極(34)にGND電位を印加した逆バイアス状態で動作させる。第1と第2のエピタキシャル層(24)(25)をP型高比抵抗層としたので、上記逆バイアスを与えるとN<sup>+</sup>カソード領域(31)と第2のエピタキシャル層(25)との接合面から空乏層が第1と第2のエピタキシャル層(24)(25)内に大きく拡がり、その厚みは第1と第2のエピタキシャル層(24)(25)の厚みの和に等しい程度の厚み(20~30 $\mu$ )に達する。

【0014】ホトダイオード(21)部に波長800nmの如き光入射があると、入射光はシリコン表面から20 $\mu$ 以上の深さまで達する。この入射光により光生成キャリアが発生し、キャリアの移動によって光電流となる。前記光生成キャリアの発生は、空乏層内で発生する空乏層内生成キャリアと空乏層外で発生する空乏層外生成キャリアとに大別される。空乏層内生成キャリアは電界に引かれることによって瞬時に移動できるが、空乏層外生成キャリアは移動が拡散によるため応答が鈍くなる。本願の構成によれば、第1と第2のエピタキシャル層(24)(25)全体に拡がる厚い空乏層で入射光を受けるので、その殆どを空乏層内生成キャリアに変換でき、ホトダイオード(21)の高速応答を可能にできる。尚、N<sup>+</sup>カソード領域(31)をエミッタ拡散による高濃度で浅い(0.3~1.0 $\mu$ )領域で形成したので、カソード領域(31)での空乏層外生成キャリアの発生量は少い。しかも、高濃度であることからカソード領域(31)で発生した光生成キャリアは即消滅し、または極めて短時間でカソード電極(31)に達することができる。よって拡散移動による遅延電流は極めて小さい。



【0015】さらに、P<sup>+</sup>分離領域(26)をアノード取出しとし、その分離領域(26)が基板(23)深部にまで拡散形成されているので、アノード取出し抵抗が小さい。一方のNPNトランジスタ(22)は、第2のエピタキシャル層(25)に形成したコレクタ領域(36)によってコレクタに適した不純物濃度に設定できるので、トランジスタ特性を満足させることができる。しかも2段エピタキシャルを用いることにより第2のエピタキシャル層(25)のみをN型反転させれば済むので、拡散熱処理時間が極端に長くならず済む。

【0016】従って本発明構造によれば、高速のホトダイオード(21)とNPNトランジスタ(22)とを一体化共存することができるものである。図1の構造は、以下のプロセスによって製造することができる。図2

(a)を参照して、比抵抗が40~60Ω・cmのP型シリコン単結晶基板(23)を用意する。後述する別の実施例を実施する場合は、この段階で全面又は選択的にリン(P)をイオン注入しておく。

【0017】図2(b)を参照して、基板(23)表面を熱酸化して酸化膜を形成し、この酸化膜をホトエッチングする。ホトエッチングした酸化膜をマスクとして分離領域(26)の第1の分離領域(27)を形成するためのボロン(B)を選択拡散する。図3(a)を参照して、前記酸化膜を除去して基板(23)表面を清浄した後、基板(23)上に第1のエピタキシャル層(24)を形成する。第1のエピタキシャル層(24)は、基板(23)を装置のサセプタ上に設置し、ランプ又は高周波加熱によって基板(23)を1140℃程度に加熱し、反応管内にSiH<sub>2</sub>Cl<sub>2</sub>ガスとH<sub>2</sub>ガスを一定流量導入することにより、ノンドーブで15~20μの厚みに形成する。エピタキシャル層をノンドーブ成長させると、その工程中、エピタキシャル層は基板(23)や第1の分離領域(27)、またはウェハの裏面から雰囲気中に飛散したボロン(B)の供給を受け、シリコン原子とボロン原子が結合しながら成長する。その結果、エピタキシャル層はイントリシクに極めて近いP型層となり、N型反転することはまずあり得ない。電気的特性は完全にP型である。比抵抗は全工程が終了した時点で200~1500Ω・cmとなる。

【0018】図3(b)を参照して、第1のエピタキシャル層(24)表面を熱酸化して酸化膜を形成し、この酸化膜をパターンニングして選択マスクを形成し、NPNトランジスタ(22)のN<sup>+</sup>型埋め込み層(35)を形成するアンチモンを拡散する。この熱処理で第1の分離領域(27)も少し拡散される。図4を参照して、選択マスクを変更し、分離領域(26)の第2の分離領域(28)を形成するボロン(B)を拡散する。そして酸化膜付けを行いながら基板(23)全体に熱処理を与え、第1と第2の分離領域(27)(28)を拡散することにより両者を連結する。本工程で第1の分離領域

(27)は8~10μ、第2の分離領域(28)は6~8μ拡散される。

【0019】図5を参照して、選択拡散に用いた酸化膜を全面除去した後、第1のエピタキシャル層(24)の上に再びノンドーブの第2のエピタキシャル層(25)を4~6μの厚みに形成する。図6を参照して、第2のエピタキシャル層(25)の表面を熱酸化して酸化膜を形成し、酸化膜の上からレジストマスクにより選択的にリン(P)をイオン注入してNPNトランジスタ(22)のコレクタ領域(36)を形成する。このイオン注入はドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ 、加速電圧80keV程度で行う。

【0020】図7を参照して、基板(23)全体に1100~1200℃、2~3時間の熱処理を加えることにより前記コレクタ領域(36)を3~5μの深さに拡散する。この工程で第1と第2の分離領域(27)(28)も夫々上下方向に拡散され、コレクタ領域(36)はN<sup>+</sup>埋め込み層(35)に達する。図8を参照して、第2のエピタキシャル層(25)表面の酸化膜をパターンニングして選択マスクを形成し、ボロン(B)を熱拡散することにより第3の分離領域(29)を2~3μの深さに形成する。この工程で第1~第3の分離領域(27)(28)(29)が連結して分離領域(26)を形成し、第1と第2のエピタキシャル層(24)(25)を島状に電気的に分離する。

【0021】図9を参照して、第2のエピタキシャル層(25)の表面からボロン(B)を選択的にイオン注入する。そしてイオン注入したボロンを熱拡散してNPNトランジスタ(22)のベース領域(37)を形成する。続いて、第2のエピタキシャル層(25)の表面にリン(P)を選択的に熱拡散して、NPNトランジスタ(22)のN<sup>+</sup>型エミッタ領域(38)とコレクタコンタクト領域(39)、およびホトダイオード(21)のN<sup>+</sup>型カソード領域(31)を同時形成する。その後、Alの堆積とパターンニングによって各領域上にAl電極を形成することにより、図1の構造を得る。

【0022】以上本発明の製造方法によれば、ノンドーブで形成することにより、高比抵抗のP型層を容易に得ることができる。しかも、通常のバイポーラICで用いるN型エピタキシャル用装置を用いて不純物の供給を停止するだけで実施できるので、比抵抗の制御が容易であり、装置内部をP型不純物で汚染することもない。本願の構造、製造方法においても、従来例と同様に基板(23)のボロン(B)が熱拡散によって上方へはい上がり空乏層の拡大を抑えるP型層(オートドーブ層)を形成することが考えられる。しかしながら、P型層にP型層が重畳するよりはノンドーブ層にP型層が重畳する方が不純物濃度が高くなりえず済むので、空乏層の抑制は小さくなる。基板(23)として40~60Ω・cmの比較的低不純物濃度の基板(23)を用いると、不純物濃

度が小さいので前記はい上る量を一層小さくでき、空乏層が拡大する高比抵抗領域を基板(23)表面近くまで拡大できる。基板(23)を高比抵抗にしたこと、およびオートドープ層の形成を抑制したことによるアノード取り出し抵抗の増大は、P<sup>+</sup>分離領域(26)を基板(23)に達するように形成することでこれを回避している。

【0023】他の実施例として、ホットダイオード(21)下の基板(23)表面に基板(23)の不純物濃度を相殺させるためのN型不純物をイオン注入しておく、基板(23)表面も高比抵抗層となるので空乏層の幅を一層拡大できる。この不純物はホットダイオード(21)部に選択的にイオン注入するか、又は基板(23)全面に導入しても良い。但し、P<sup>+</sup>分離領域(26)をホットダイオード(21)のアノード取出しとしているので、取出し抵抗の増大を避ける為に前記不純物の拡散深さは分離領域(26)の第1の分離領域(27)の拡散深さを超えてはならない。具体的には、1~5×10<sup>11</sup>程度のリン(P)がイオン注入され、各熱処理で拡散されることにより基板(23)表面の不純物濃度を40~60Ω・cmから200Ω・cm以上に増大し、その領域が2~10μmの深さに形成される。尚、第1の分離領域(27)の拡散深さは7~15μmである。また、相殺不純物は第1のエピタキシャル層(24)側へも拡散されるので、基板(23)から上へはい上るP型層を相殺する効果もある。

【0024】

【発明の効果】以上に説明した通り、本発明によれば高比抵抗の第1と第2のエピタキシャル層(24)(25)を積層することによって極めて厚い空乏層が得られ、NPNトランジスタ(21)はN型コレクタ領域(36)を形成することにより不純物濃度を増大するの

で、高速のホットダイオード(21)とNPNトランジスタ(22)とを共存できる利点を有する。

【0025】しかも、第1と第2のエピタキシャル層(24)(25)をオートドープで形成することにより、高比抵抗のP型層が簡単に得られるという利点を有する。特に高比抵抗のN型層を形成する場合に比べ、基板(23)からのオートドープ等によるP型層を更にN型反転させる必要が無いので、不純物濃度の制御性が簡便であることは明らかである。また、N型エピタキシャル層の製造装置を用いて、不純物ガスの供給を停止するだけで実施できるので、実施が簡便であり、装置をP型不純物で汚染することもない。

【0026】さらに、基板(23)として40~60Ω・cmの比較的高比抵抗の基板(23)を用いることによって、オートドープによるP型層の形成を抑制でき、高比抵抗層を厚く残すことができる利点を有する。さらに、基板(23)表面に相殺不純物をイオン注入しておくことにより、上記P型層の形成を一層抑制できる他、基板(23)表面部をも空乏層が広がる高比抵抗層に形成できる利点をも有する。

【図面の簡単な説明】

【図1】本発明の光半導体装置を説明するための断面図である。

【図2】図1の製造方法を説明する第1の図面である。

【図3】図1の製造方法を説明する第2の図面である。

【図4】図1の製造方法を説明する第3の図面である。

【図5】図1の製造方法を説明する第4の図面である。

【図6】図1の製造方法を説明する第5の図面である。

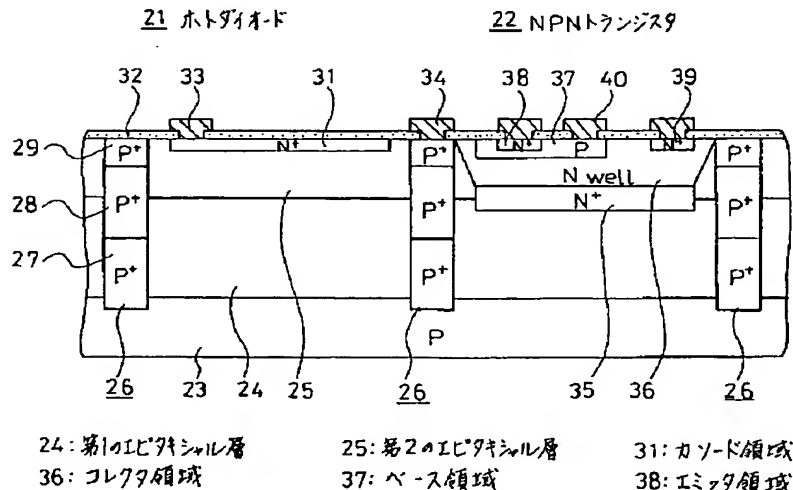
【図7】図1の製造方法を説明する第6の図面である。

【図8】図1の製造方法を説明する第7の図面である。

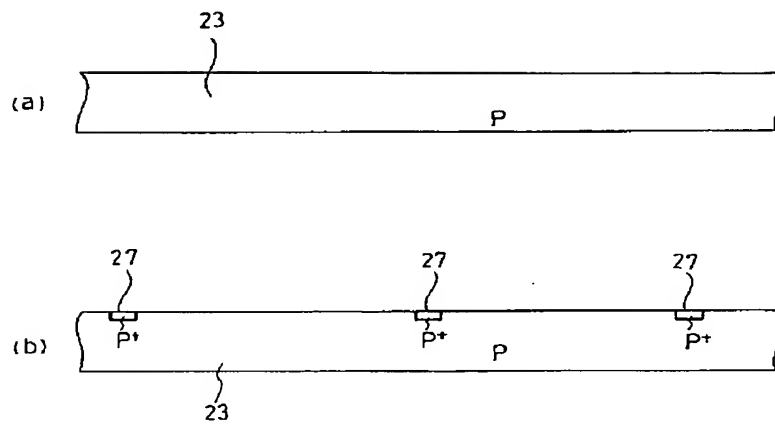
【図9】図1の製造方法を説明する第8の図面である。

【図10】従来例を示す断面図である。

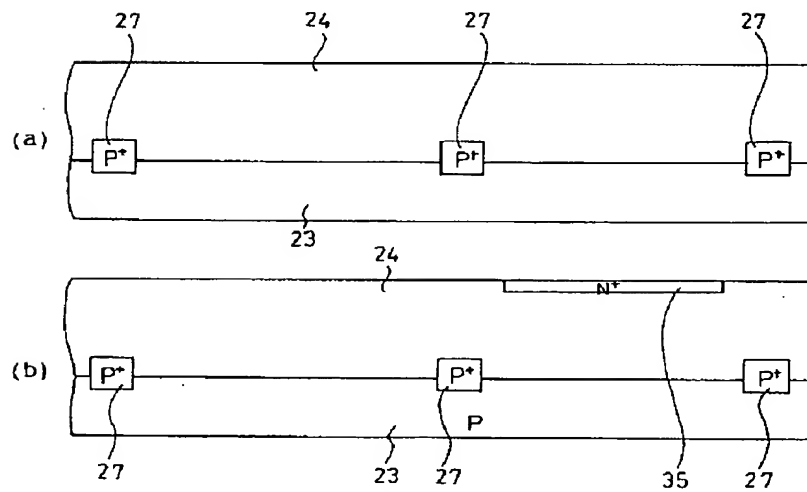
【図1】



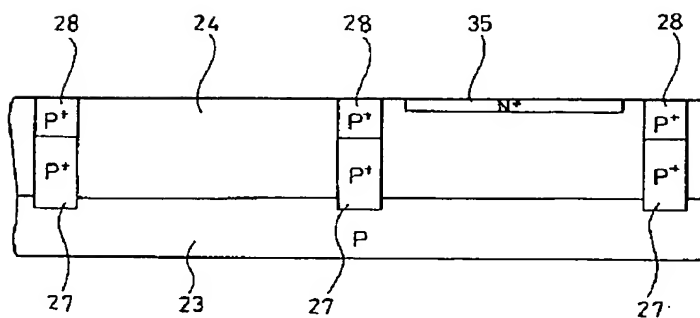
【図2】



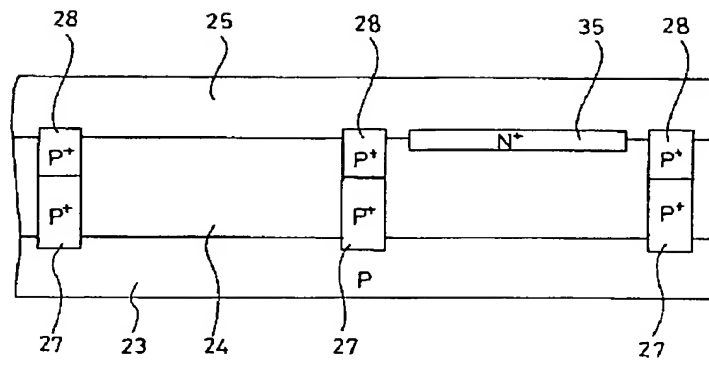
【図3】



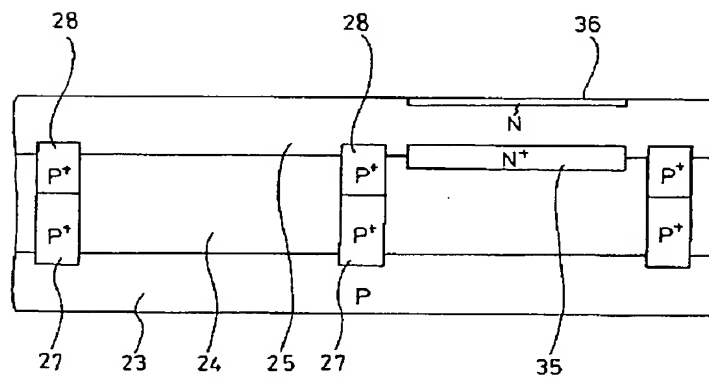
【図4】



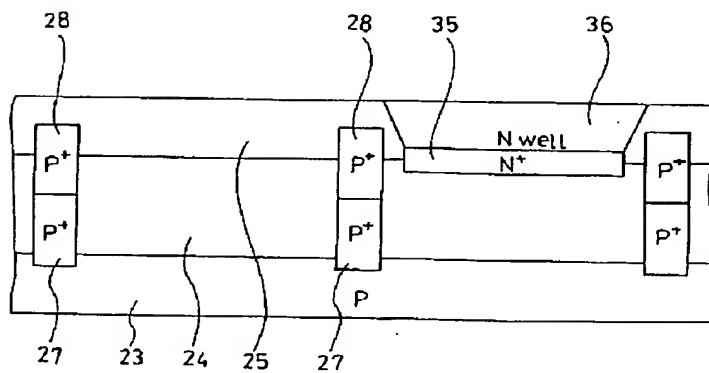
【図5】



【図6】



【図7】



This cross-sectional view shows a semiconductor device with a trench 35. The device includes a substrate 23 with a p-type region 24. A p-type region 25 is formed in the substrate 23, and a p-type region 26 is formed in the trench 35. The p-type region 25 is labeled with P<sup>+</sup> and the p-type region 26 is labeled with P<sup>+</sup>. The trench 35 is filled with an N<sup>+</sup> region 36, which is labeled with N<sup>+</sup>. The trench 35 is formed in the p-type region 24. The p-type region 24 is labeled with P<sup>+</sup>. The p-type region 25 is labeled with P<sup>+</sup>. The p-type region 26 is labeled with P<sup>+</sup>. The trench 35 is labeled with 35. The N<sup>+</sup> region 36 is labeled with 36. The substrate 23 is labeled with 23. The p-type region 24 is labeled with 24. The p-type region 25 is labeled with 25. The p-type region 26 is labeled with 26.

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a trench structure. The trench is filled with a material labeled 'N well' and 'N+'. The trench is bounded by 'P+' regions. The device includes various layers and regions labeled with numbers and symbols: 31, 38, 37, 39, 26, 23, 24, 25, 35, 36, P+, P-, and P. The trench is filled with a material labeled 'N well' and 'N+'. The trench is bounded by 'P+' regions. The device includes various layers and regions labeled with numbers and symbols: 31, 38, 37, 39, 26, 23, 24, 25, 35, 36, P+, P-, and P.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**